

(18)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03155493 A

(43) Date of publication of application: 03.07.91

(51) Int. Cl

B23K 35/30

B23K 35/22

C22C 5/02

(21) Application number: 01295439

(71) Applicant: MITSUBISHI MATERIALS CORP

(22) Date of filing: 14.11.89

(72) Inventor: OOMURA TOSHIKASA
YOSHIDA HIDEAKI(54) GOLD ALLOY SOLDER PASTE FOR
SEMICONDUCTOR DEVICE

(57) Abstract

PURPOSE: To allow secure soldering without allowing the melting residues and oxide of solder and the residues of a flux to remain by consisting the paste of a specific alloy and kneading the powder of a specific alloy and a specific pasting agent to a specific viscosity, thereby forming the paste.

Semiconductor devices is prep'd. by kneading 80 to 98% Au alloy powder which consists of an Au-Si alloy, Au-Sn alloy or Au-Ge alloy, is pulverized by a rotary electrode method and has $\leq 100\mu\text{m}$ grain size and 2 to 20% pasting agent consisting of paraffin wax and liquid paraffin or paraffin wax and tetraini and adjusting the viscosity to 25,000 to 300,000 centipoises. The secure soldering is executed with the smaller amt. of the solder to be used in this way.

COPYRIGHT: (C)1991,JPO&Japio

CONSTITUTION: This gold alloy solder paste for

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-155493

⑬ Int. CL⁵B 23 K 35/30
35/22
C 22 C 5/02

識別記号

序内整理番号

⑬ 公開 平成3年(1991)7月3日

310 A 7728-4E
310 A 7728-4E
8722-4K

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置用金合金はんだベースト

⑮ 登録 平1-295439

⑯ 出願 平1(1989)11月14日

⑰ 発明者 大村 隆政 埼玉県大宮市北袋町1-297 三菱金属株式会社中央研究所内

⑱ 発明者 吉田 秀昭 埼玉県大宮市北袋町1-297 三菱金属株式会社中央研究所内

⑲ 出願人 三菱マテリアル株式会社 東京都千代田区大手町1丁目6番1号

⑳ 代理人 弁理士 富田 和夫 外1名

明細書

1. 発明の名称

半導体装置用金合金はんだベースト

2. 特許請求の範囲

(1) Au-Si系合金、Au-Sn系合金、またはAu-Ge系合金からなり、かつ回転電極法で粉末化した粒径:100μm以下のAu合金粉末:80～92重量%と、バラフィンワックスと流动バラフィン、またはパラフィンワックスとテトラリンからなるベースト化剤:2～20重量%とを混練して、25,000～300,000センチボアズの粘度としてなる半導体装置用金合金はんだベースト。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、印刷に用いたり、塗布や吐出などを行なうことができ、かつはんだ付け部にはん

だの溶け残りや脱離物、さらにフラックス残留が見られず、強固なろう付けが可能な半導体装置用金合金はんだベーストに関するものである。

〔従来の技術〕

一般に、ICやLSIなどの半導体装置の製造においては、例えばセラミックケースのアルミニウム板上に、これに焼結されたAu-Pd合金などを用いたる電極を介して、SiチップやGa-Agチップなどの半導体チップをダイボンディングすることが行なわれている。

このダイボンディングには、質量%で(以下%は重量%を示す)、S:1.1～10%を含有するAu-Si系合金、S:4～38%を含有するAu-Sn系合金、またはGe:1～50%を含有するAu-Ge系合金のインゴットから塑性圧延によって50μm程度の箔を製造し、この箔材から所定形状に打ち抜かれた企金合はんだ材料が用いられている。

〔発明が解決しようとする課題〕

しかし、上述の従来金合金はんだ材の場合、コントロールの点から、その厚さをできるだけ薄くす

特開平3-155493(2)

る必要があるが、これら金合金はさわめて脆く、割れ易いものであるため、上記の通り回転圧延では厚さを50μ程度にまでしか薄くすることができないばかりでなく、その取り扱いも非常に難しく、自動化が不可能で、入手に頼らざるを得ず、この結果人手による位置合わせなどが原因でダイボンディング不良が多発するようになるなどの問題点がある。

また、一方、上記の従来金合金はんだ付けもつ問題点を解決する目的で、上記のAu合金をガスアトマイズ法やスタンピング法などの通常の粉末化手段を用いてAu合金粉末とし、このAu合金粉末をペースト化剤と共に組成して金合金はんだペーストとして、これを印刷手段や、転写および吐出手段などを用いて半導体基板の製造に適用する試みもなされたが、例えばガスマトマイズ法により粉末化されたAu合金粉末の場合、合金構成成分の偏析が著しく、かつ酸化物もけいしいものであるために、はんだ付け面に抜け張りや酸化物が存在するようになるばかりでなく、ペースト化剤もフ

ラックス状態として共存するようになることから、所望のはんだ付け強度が得られず、信頼性の点で問題があり、未だ実用化されていないのが現状である。

【課題を解決するための手段】

そこで、本発明者は、上述のような観点から、はんだ使用量の低減および取り扱いの自動化を可能とする金合金はんだペーストに着目し、これの実用化をはかるべく研究を行なった結果、上記のAu-Si系合金、Au-Sn系合金、またはAu-Ga系合金のAu合金を粒状の電極粉、すなわち前記Au合金を粒状の電極とし、このAu合金電極を、例えば約15,000rpsの高周波回転させながら、限られた空間の不活性ガス雰囲気中で、非消耗タンクステン電極と前記Au合金電極との間でアークを発生させ、このアーク熱で前記Au合金電極を溶解し、溶けたAu合金を電極力で分散させてAu合金粉末を製造する方法で酸化した場合、構成成分の偏析および酸化のほとんどないAu合金粉末が得られ、さらにはこの

Au合金粉末と混ぜられるペースト化剤を、バラフィンワックスを流动パラフィン、またはバラフィンワックスとテトラリンから構成すると、このペースト化剤ははんだ付け工程で完全に分解して脱落することから、これらのAu合金粉末とペースト化剤とを混ぜてなる金合金はんだペーストを用いた場合、はんだ付け部には、はんだの抜け張りや酸化物、さらにはラグクッシュ状態が実質的に存在しないものとなり、強固なはんだ付けが可能となるという知見を得たのである。

この発明は、上記知見にもとづいてなされたものであって、Au-Si系合金、Au-Sn系合金、またはAu-Ga系合金からなり、かつ回転電極法で粉末化した粒径:100μm以下のAu合金粉末:10~90wt%と、バラフィンワックスと流动パラフィン、またはバラフィンワックスとテトラリンからなるペースト化剤:2~20wt%を相組して、25,000~300,000rpsのチップの粘度としてなる半導体基板用金合金はんだペーストに特徴を有するものである。

つぎに、この発明の金合金はんだペーストについて、上記の通りに数値規定した理由を説明する。

(a) Au合金粉末とペースト化剤の相割合

Au合金粉末の割合が50%未満になると、相対的にペースト化剤の割合が25%を超えて多くなりすぎる。粒度中にAu合金粉末が残され、広がるようになるため、印刷や吐出などによって定型のAu合金粉末の供給が行なわれても、はんだ付け部におけるAu合金粉末が減少するようになることから、はんだ付け不良が発生するようになり、一方Au合金粉末の割合が95%を超えると、相対的にペースト化剤の割合が2%未満となってしまい、所定のペースト化剤をはかることができず、印刷や転写等が不可能となることから、その割合を、それぞれAu合金粉末:10~95wt%、ペースト化剤:2~20wt%と定めた。

(b) Au合金粉末の粒径

Au合金粉末の粒径が100μmを超えると、はんだ付け時に半導体チップに堆積されるスクライプによりチップ裏面が損傷を受けるようになることか

特開平3-155493 (3)

ら、その粒径を100μm以下と定めた。

(c) 亜合金はんだベーストの粘度

25,000センチボアズ未満の粘度では、印刷や転写などにより供給されたはんだベーストが流れで、焼に広がるようになり、供給時の状態を保持することができなくなり、はんだ付け不良などを起すようになり、一方300,000センチボアズを越えた粘度になると、印刷や転写などによる供給が困難になるとから、その粘度を25,000~300,000センチボアズと定めた。

【実施例】

つぎに、この発明の亜合金はんだベーストを実施例により具体的に説明する。

公知の回転電極法により、いずれも100μm以下の粒径にして、それぞれ第1表に示される平均粒径、並びに成分組成を有する各種のAu合金粉末を用意し、さらにはベースト化剤として、パラフィンワックス、潤滑パラフィン、およびテトラリンを用意し、これらを同じく第1表に示される割合にそれぞれ秤量し、まず、パラフィンワックス

スの全部と潤滑パラフィンまたはテトラリンの一原とを溶浴混融しておき、ついで残りの流動パラフィンまたはテトラリンにAu合金粉末を少量ずつ加えて前記Au合金粉末の表面が前記潤滑パラフィンまたはテトラリンで保護なく濡れた状態で、これに前記溶浴混融物を加えて、混練りすることにより本発明亜合金はんだベースト1~9をそれぞれ製造した。これの粘度を測定し第1表に示した。

ついで、この結果得られた本発明亜合金はんだベースト1~9と、さらに同じく第1表に示される成分組成を有し、かつ平面寸法: 1mm×1mm、厚さ: 50μmの寸法を有する板状の従来亜合金はんだ材1~3を用い、一方基板としては、25mm×25mmの平面寸法を有し、表面に同じく平面寸法で2mm×2mmのAu-Pd合金からなる焼成電極を形成した該板を使用し、本発明亜合金はんだベースト1~9は、前記焼成電極上に、平面寸法: 1mm×1mm、厚さ: 200~500μmの範囲内の所定厚さはスクリーン印刷し、この上に裏面に1μmのAu

種別	Au合金粉末				溶融封合(質量%)			粘度 ($\times 10^3$, センチボアズ)	はんだ付け面の特性 はんだの厚さ (μm)	剪断強度 ($\times 10^3$ Pa)	
	平均粒径 (μm)	成分組成 (质量%)	Au 合金粉末	パラフィン ワックス	潤滑パ ラフィン	テトラリン					
本発明 亜合金 はんだ ベースト	1	25	2.0	—	25	97.5	1.0	1.5	—	300	15
	2	67	2.16	—	—	94.5	2.0	—	3.0	110	24
	3	87	4.15	—	—	82.4	7.4	10.2	~	26	30
	4	25	—	5.9	—	95.6	1.1	3.1	—	93	11
	5	70	—	23.0	—	87.6	1.4	—	1.2	280	21
	6	78	—	33.6	—	88.6	2.0	—	2.0	105	55
	7	42	—	—	10.0	92.4	8.1	—	1.5	35	24
	8	88	—	—	15.6	84.5	2.2	3.3	—	140	18
	9	90	—	—	25.0	82.1	4.7	3.2	—	70	15
日本 本 金 合 金 はんだ 付 け 材 料	1	Au-3.15%Sn合金の溶材				—			—	—	45
日本 金 合 金 はんだ 付 け 材 料	2	Au-20.0%Sn合金の溶材				—			—	—	48
日本 金 合 金 はんだ 付 け 材 料	3	Au-12.5%Ge合金の溶材				—			—	—	47

特開平3-155493 (4)

メッキを施した平面寸法：1mm×1mmのSiチップを差し、また上記從米金合会はんだ材1～3は、いずれも厚さ：80μmを有し、上記焼成電極とSiチップの間に接着した状態で、Ar雰囲気中、ホットプレート上で、Siチップにスクライプを施しながら、昇温過程で250°Cに2分間保持し、ついではんだ付け強度である450°Cに9分間保持し、以後の冷却過程で250°Cに2分間保持した後、塗装冷却の条件ではんだ付けを行なった。

はんだ付け部のはんだ材の厚さおよびはんだ付け強さを評価する目的で剪断強度を測定し、この測定結果を第1表に示した。

〔発明の効果〕

第1表に示される結果から、本発明金合会はんだペースト1～9においては、はんだ付け面に、はんだの溶け残りや誤化物、さらにラックス温度が全く存在しない状態で、從米金合会はんだ材1～3と同等のはんだ付け強度で、液相にはんだ付けすることができるばかりでなく、從米金合会はんだ材1～3では、はんだ付け部の厚さを正確

技術上50μm以下にすることができないのに対して、30μm以下の薄いはんだ厚さで強固なはんだ付けを行なうことができる事が明らかである。

上述のように、この発明の金合会はんだペーストは、半導体装置の製造に際して、例えば基板に対する半導体チップのはんだ付けなどを、印刷や転写、さらには吐出などの自動化自在な手段によって強固なはんだ付け強度で、かつ少ないはんだ使用量で行なうことができるなど工業上有用な効果をもたらすばかりでなく、信頼性のきわめて高いものである。

出 品 人：三井金属株式会社

代 表 人：富田 和夫 外1名